

MULTI-CHANNEL DATA RECORDING AND REPRODUCING DEVICE

Publication number: JP4373059 (A)

Publication date: 1992-12-25

Inventor(s): KAWACHI SHIGEO

Applicant(s): ADVANTEST CORP

Classification:

- international: G06F13/38; G06F17/40; G11C19/00; G06F13/38; G06F17/40; G11C19/00; (IPC1-7): G06F13/38; G06F15/74; G11C19/00

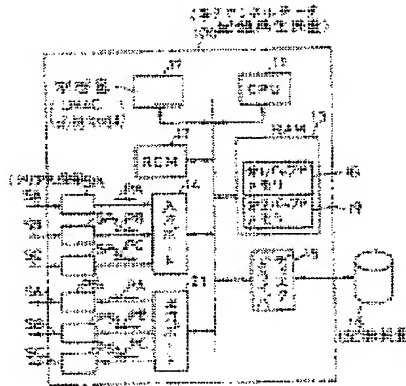
- European:

Application number: JP19910150548 19910621

Priority number(s): JP19910150548 19910621

Abstract of JP 4373059 (A)

PURPOSE:To obtain the device which can record and reproduce the serial signals of multiple channels without interruption. **CONSTITUTION:**This device is provided with plural serial/parallel converters SP1-SP3 to convert the serial signals of the multiple channels to parallel signals, first and second buffer memories 18 and 19 to successively fetch the parallel signals converted by these serial/parallel converters and to be alternately switched and used each time being full, a disk driver 15 to write the parallel signals fetched into these first and second buffer memories to a recording device 16 each time they are made full, and a controller 17 to switch the first and second buffer memories 18 and 19 and to transfer the parallel signals from the first and second buffer memories 18 and 19 to the recording device 16.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-373059

(43) 公開日 平成4年(1992)12月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/38	3 5 0	7052-5B		
15/74	3 2 0 L	7530-5L		
G 1 1 C 19/00	B	2116-5L		

審査請求 未請求 請求項の数2(全 5 頁)

(21) 出願番号 特願平3-150548

(22) 出願日 平成3年(1991)6月21日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 河内 茂男

東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

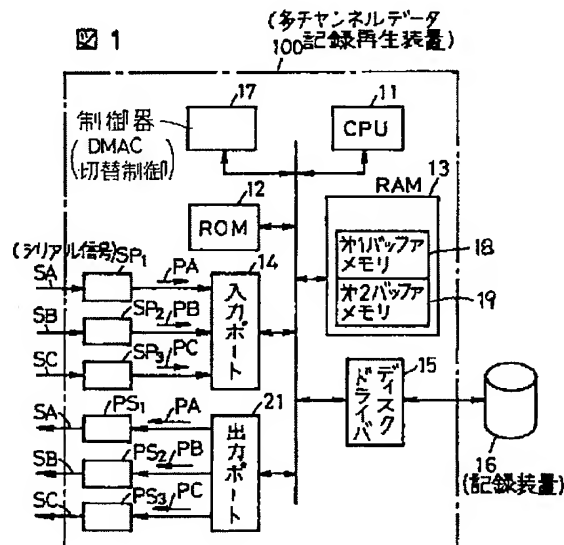
(74) 代理人 弁理士 草野 卓

(54) 【発明の名称】 多チャンネルデータ記録再生装置

(57) 【要約】

【目的】 多チャンネルのシリアル信号を切れ目なく記録し、再生することができる装置を得る。

【構成】 多チャンネルのシリアル信号をパラレル信号に変換する複数のシリバラ変換器と、このシリバラ変換器で変換したパラレル信号を順次取込み、満杯になる毎に交互に切替て使用される第1、第2バッファメモリと、この第1、第2バッファメモリが満杯になる毎に、これに取込まれたパラレル信号を記録装置に書込むディスクドライバと、第1、第2バッファメモリの切替と、第1、第2バッファメモリから記録装置にパラレル信号を転送する制御器とによって構成される。



1

【特許請求の範囲】

【請求項1】 A. 多チャンネルのシリアル信号をパラレル信号に変換する複数のシリバラ変換器と、B. この複数のシリバラ変換器から出力されるパラレル信号を順次選択して取込む第1バッファメモリと、C. この第1バッファメモリが満杯になる毎に上記パラレル信号の取込を開始する第2バッファメモリと、D. 上記第2バッファメモリにパラレル信号を取込む間、上記第1バッファメモリに取込んだパラレル信号を記録装置に書込むと共に、上記第2バッファメモリが満杯になり上記第1バッファメモリに上記パラレル信号の取込を行なわせる間、上記第2バッファメモリに取込んだパラレル信号を記録装置に書込むディスクドライバと、E. 上記第1バッファメモリと第2バッファメモリの切替制御と、これら第1バッファメモリ及び第2バッファメモリから上記ディスクドライバにパラレル信号を転送する制御を行なう制御器と、によって構成した多チャンネルデータ記録装置。

【請求項2】 請求項1記載の記録装置からディスクドライバによってパラレル信号を読出すと共に、この読出したパラレル信号を第1バッファメモリ又は第2バッファメモリの何れか一方の空きの状態のバッファメモリに取込むと共に、このバッファメモリが満杯になると、他方のバッファメモリに書込動作を移し、他方のバッファメモリにパラレル信号の書込を行なっている間、一方のバッファメモリからパラレル信号を読出し、このパラレル信号を対応するチャンネルのバラシリ変換器に与え、各バラシリ変換器から多チャンネルのシリアル信号を出力するように構成した多チャンネルデータ再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は各種の測定データを記録し、再生することに用いることができる多チャンネルデータ記録再生装置に関する。

【0002】

【従来の技術】 従来よりデジタル化されたシリアル信号を記録装置に記憶させるには例えば図3に示すようにマイクロコンピュータ10を介して行なう方法がある。図3の方法はシリアルデータをシリバラ変換器PSでパラレル信号に変換し、このパラレル信号をマイクロコンピュータ10を構成する入力ポート14に入力し、この入力されたパラレル信号を中央演算処理装置（以下CPUと称す）11を介してディスクドライバ15に与え、ディスクドライバ15を通じて記憶装置16に書込まれ、記憶する例を示す。

【0003】 また図4の場合にはマイクロコンピュータ10にダイレクトメモリアクセスコントローラ17を設け、このダイレクトメモリアクセスコントローラ17によって記憶すべきデータをブロック化してディスクコントローラ15に高速転送し、高速度で書込の処理を行な

2

えるように構成した場合を示す。

【0004】

【発明が解決しようとする課題】 従来は一つのチャンネルのシリアル信号を記憶装置16に書込むことはできる。然し乍ら多チャンネルのシリアル信号を記憶装置16に書込んで記憶することはできない。この発明では多チャンネルのシリアル信号を記憶装置に書込み、読出することができる多チャンネルデータ記録再生装置を提供しようとするものである。

【0005】

【課題を解決するための手段】 この発明では多チャンネルのシリアル信号をパラレル信号に変換する複数のシリバラ変換器と、この複数のシリバラ変換器から出力されるパラレル信号を順次取込む第1バッファメモリと、この第1バッファメモリが満杯になったときパラレル信号を取込む第2バッファメモリと、第2バッファメモリにパラレル信号を取込む間、第1バッファメモリに取込んだパラレル信号を記録装置に書込と共に、第2バッファメモリが満杯になり第1バッファメモリにパラレル信号の取込を行なわせる間、第2バッファメモリに取込んだパラレル信号を記録装置に書込むディスクドライバと、第1バッファメモリと第2バッファメモリの切替制御と、これら第1バッファメモリ及び第2バッファメモリからディスクドライバにパラレル信号を転送する制御を行なう制御器とによって多チャンネルデータ記録装置を構成する。

【0006】 この発明によるデータ記録装置によれば多チャンネルのシリアル信号を連続して記憶装置に記録することができる。また記録装置として例えばハードディスクのような記憶容量の大きい記録装置を用いることにより長期にわたる多チャンネルデータを記録することができる。この発明では更に、記録装置からディスクドライバによってパラレル信号を読出すと共に、この読出したパラレル信号を第1バッファメモリ又は第2バッファメモリの何れか一方の空きの状態のバッファメモリに取込むと共に、このバッファメモリが満杯になると、他方のバッファメモリに書込動作を移し、他方のバッファメモリにパラレル信号の書込を行なっている間、一方のバッファメモリからパラレル信号を読出し、このパラレル信号を対応するチャンネルのバラシリ変換器に与え、各バラシリ変換器から多チャンネルのシリアル信号を出力することができる多チャンネルデータ再生装置を構成する。

【0007】 この多チャンネルデータ再生装置によれば任意の時点で過去に記録した測定データを再現することができる。この結果測定データの解析等を任意に行なうことができる実益が得られる。

【0008】

【実施例】 図1にこの発明の一実施例を示す。図1において100はこの発明による多チャンネルデータ記録再

生装置を示す。この発明による多チャンネルデータ記録再生装置100は入力側にシリアル変換器SP₁、SP₂、SP₃を具備する。このシリアル変換器SP₁～SP₃は例えばシフトレジスタによって構成することができる。例えば8ビットのシフトレジスタによって構成したとすると、図2B～Dに示すシリアル信号SA、SB、SCを8クロック分取込む毎にパラレル信号PA、PB、PCが読出される。各チャンネルのシリアル信号SA、SB、SCの8クロック分を1フレームとして分割する。その分割する位相をチャンネル間で1クロック分ずつずらすことにより各チャンネルのパラレル信号PA、PB、PCは1クロック分ずつ位相がずれて得られる。

【0009】このパラレル信号PA、PB、PCを入力ポート14に入力することによりCPU11はパラレル信号PA～PCを順次取込むことができる。シリアル信号SA～SCをパラレル信号PA～PCに変換することにより、1フレーム分のデータを送る時間を短くすることができる。従って1フレーム分の時間内で多チャンネルのパラレル信号をCPU11に取込むことができる。

【0010】この発明では多チャンネルデータ記録装置100内に第1バッファメモリ18と、第2バッファメモリ19とを設ける。第1バッファメモリ18と第2バッファメモリ19は例えばRAM13の一部の領域を使って構成することができる。第1バッファメモリ18にパラレル信号PA、PB、PCを順次取込む、第1バッファメモリ18が満杯になると、第2バッファメモリ19に書込動作が移される。第2バッファメモリ19に書込が行なわれている間、第1バッファメモリ18に取込まれたパラレル信号PA、PB、PCは、ダイレクトメモリアクセスコントローラから成る制御器17によりディスクドライバ15に送り出される。このとき制御器17はダイレクトメモリアクセスコントローラの機能によって高速転送動作が可能である。高速転送されたパラレル信号PA、PB、PCはディスクドライバ15を介して記録装置16に書込まれる。記録装置16は例えばハードディスク或はフロッピーディスク等を用いることができる。

【0011】記録装置16に記録したパラレル信号PA、PB、PCを読出す場合には、ディスクドライバ15を介して記録装置16から各チャンネルのパラレル信号PA、PB、PCが読出される。このパラレル信号PA、PB、PCは第1バッファメモリ18又は第2バッファメモリ19の何れか一方の空き状態にあるバッファメモリに取込まれる。

【0012】一方のバッファメモリに読出したパラレル信号を取込んでいる間に、他方のバッファメモリに取込んでいるパラレル信号を出力ポート21に出力する。出力ポート21には複数のパラレル変換器PS₁、PS₂、PS₃が接続され、各チャンネルに対応したパラレル信号がパラレル変換器PS₁、PS₂、PS₃に配給され、シリアル信号SA、SB、SCに逆変換されて出力される。尚上述ではシリアル信号SA、SB、SCを3チャンネルとして説明したが、このチャンネル数に制限はない。

【0013】

【発明の効果】以上説明したように、この発明によれば多チャンネルのシリアル信号をパラレル信号に変換し、このパラレル信号を第1バッファメモリ18と第2バッファメモリ19を交互に使ってパラレル信号を取込み、バッファメモリが満杯になる毎に記録装置16に転送して記録したから、多チャンネルのシリアル信号を切れ目なく記録することができる。

【0014】また記録装置16をハードディスクのように容量が大きい記録装置を用いることにより長時間にわたって多チャンネル信号を記録することができる。また一旦記録装置16に記録すれば爾後任意の時点で再生することができる。よっていつでもデータの解析を行なうことができ便利である。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図。

【図2】この発明の動作を説明するための波形図。

【図3】従来の技術を説明するためのブロック図。

【図4】図3と同様のブロック図。

【符号の説明】

100 多チャンネルデータ記録再生装置

11 CPU

12 ROM

13 RAM

14 入力ポート

15 ディスクドライバ

16 記録装置

17 ダイレクトメモリアクセスコントローラ

18 第1バッファメモリ

19 第2バッファメモリ

21 出力ポート

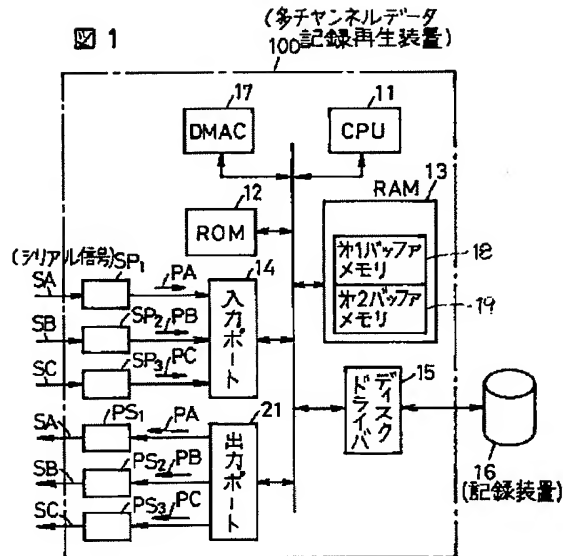
SA～SC シリアル信号

PA～PC パラレル信号

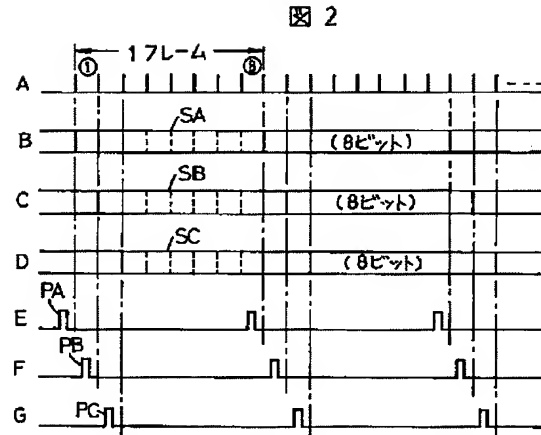
SP₁～SP₃ シリアル変換器

PS₁～PS₃ パラレル変換器

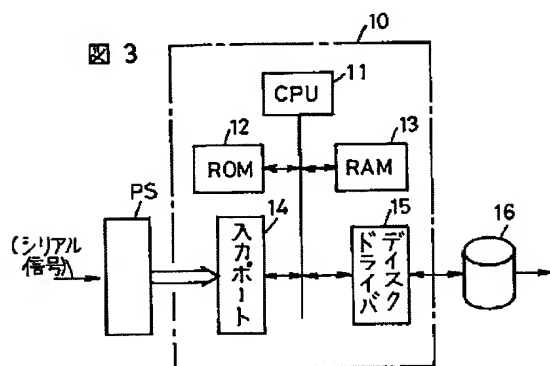
【図1】



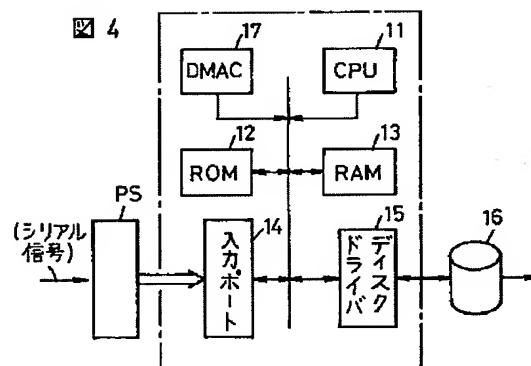
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成4年6月15日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

100 多チャンネルデータ記録再生装置

11 CPU

12 ROM

13 RAM

14 入力ポート

15 ディスクドライバ

16 記録装置

17 制御器(ダイレクトメモリアクセスコントローラ、切替制御)

18 第1バッファメモリ

19 第2バッファメモリ

21 出力ポート

SA~SC シリアル信号

PA~PC パラレル信号

SP1~SP3 シリバラ変換器

PS1~PS3 パラシリ変換器

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【図1】

【補正内容】

